

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-131125

(43)Date of publication of application : 04.06.1991

(51)Int.Cl.

H03M 1/82
G06K 15/00

(21)Application number : 01-268227

(71)Applicant : CANON INC

(22)Date of filing : 17.10.1989

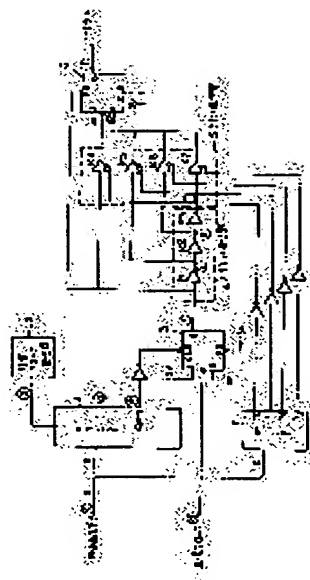
(72)Inventor : KAWANA TAKASHI
SETO KAORU
KASHIWABARA ATSUSHI
MANO HIROSHI
SAITO TETSUO
ITO MICHIO
OKUBO MASAHARU
SASAME HIROSHI
YAMADA HIROMICHI
OSHIMA MASAKI

(54) PULSE WIDTH MODULATING CIRCUIT

(57)Abstract:

PURPOSE: To attain pulse width modulation with fidelity by forming a pulse signal with a rough time width based on a high-order n -bit, sloping its leading or trailing edge, forming an analog signal based on a low-order $(N-n)$ bits and combining the analog signals.

CONSTITUTION: High-order 6 bits of an 8-bit multi-value picture density data (c) are inputted to a counter 1 and low-order 2 bits are inputted to a decoder 7 respectively. The rise of Q output of a JK flip-flop 3 sets a JK flip-flop 6 to bring its output $Q(j)$ to a high level. The decoder 7 decodes the low-order 2-bit of a multi-value picture data and outputs the decode signal of a high level in response to the input data whose values are 0-3 to any of terminals Y_0 - Y_3 respectively. Thus, a signal with fidelity to the input 8-bit multi-value picture data is obtained as a whole.



LÉGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平3-131125

⑪ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)6月4日

H 03 M 1/82
G 06 K 15/009065-5J
8323-5B

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 パルス幅変調回路

⑯ 特 願 平1-268227

⑰ 出 願 平1(1989)10月17日

⑱ 発 明 者	川 名	孝	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	瀬 戸	薫	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	柏 原	淳	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	真 野	宏	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	斉 藤	徹 雄	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	伊 藤	道 夫	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	大 久 保	正 晴	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	笹 目	裕 志	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑲ 出 願 人	キャノン株式会社		東京都大田区下丸子3丁目30番2号	
⑳ 代 理 人	弁理士 大塚 康徳		外1名	

最終頁に続く

明 細 書

1. 発明の名称

パルス幅変調回路

2. 特許請求の範囲

(1) Nビットのデジタルデータに対応するパルス幅のパルス信号に変調するパルス幅変調回路において、

所定周波数のクロック信号を計数することにより前記デジタルデータの上位nビットデータに基づく時間幅のタイミング信号を発生するタイミング信号発生回路と、

前記タイミング信号発生回路出力の前側又は後ろ側のタイミング信号を前記デジタルデータの下位(N-n)ビットデータに基づく時間だけ遅延させる遅延回路と、

前記タイミング信号発生回路出力及び前記遅延

回路出力の各タイミング信号によりセット/リセットするフリップフロップ回路又はラッチ回路を備えることを特徴とするパルス幅変調回路。

(2) 前記タイミング信号発生回路はカウンタ回路、シフトレジスタ回路又はこれらとデジタルコンパレータ回路の組み合わせを含むことを特徴とする請求項第1項記載のパルス幅変調回路。

(3) 前記遅延回路はタイミング信号の伝搬を遅らせるデレイライン回路と、下位(N-n)ビットデータをデコードするデコーダ回路と、該デコーダ回路出力によつて前記デレイライン回路上の各中途出力信号を選択するセレクト回路を備えることを特徴とする請求項第1項記載のパルス幅変調回路。

(4) Nビットのデジタルデータに対応するパルス幅のパルス信号に変調するパルス幅変調

回路において、

所定周波数のクロック信号を計数することにより前記デジタルデータの上位 n ビットデータに基づく時間幅のパルス信号を発生するパルス信号発生回路と、

前記パルス信号発生回路出力のパルス信号のトレーリングエッジ又はリーディングエッジをスロープ化するスロープ化回路と、

前記デジタルデータの下位 $(N - n)$ ビットデータに基づく値をアナログ信号に変換する D/A 変換回路と、

前記 D/A 変換回路及び前記スロープ化回路の各出力信号を比較するコンパレータ回路を備えることを特徴とするパルス幅変調回路。

り順次カウントダウンし、カウンタ出力が 0 になった時点でキャリー (Carry) 信号が出力される。これにより、JK フリップフロップ 13 の Q 出力は画像クロック信号の立ち上がりでセットされ、キャリー信号の発生によりリセットされるパルス幅変調信号になる。このパルス幅変調信号は不図示のレーザドライバ回路に入力され、レーザ素子を点滅させることにより不図示の感光ドラムを感光させ、電子写真法を用いて中間調濃度の印刷を行う。

〔発明が解決しようとする課題〕

しかしながら、上記従来法で n 階調濃度を表現するためには画像クロック信号の n 倍周波数の計数クロック信号が必要になる。例えば画像クロック信号が 1 MHz であるとする、8 ビットの高値画像信号により 256 階調を表現するために

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はパルス幅変調回路に関し、特に N ビットのデジタルデータを対応するパルス幅のパルス信号に変調するパルス幅変調回路に関する。

〔従来の技術〕

この種の回路はレーザビームプリンタや LED プリンタ等の画像形成装置に使用されている。

第 5 図は従来の画像形成装置のパルス幅変調回路の回路図であり、第 6 図は第 5 図の回路の動作タイミングチャートである。

不図示のホストコンピュータやスキャナ等の外部機器より送られる 4 ビットの高値画像データは画像クロック信号の立ち上がりでカウンタ 11 にロードされる。カウンタ 11 は計数クロック発生器 12 より出力される計数クロック信号によ

は 256 MHz の計数クロック信号が必要になる。このため、高価な ECL (Emitter Coupled Logic) 等の高速デバイスを使用する必要があり、また高速のために放射ノイズを発生しやすくなる等の問題もあつた。

本発明は上述した従来技術の欠点を除去するものであり、その目的とする所は、高い周波数の計数クロック信号を使用せずとも忠実なパルス幅変調を行えるパルス幅変調回路を提供することにある。

〔課題を解決するための手段及び作用〕

本発明のパルス幅変調回路は上記の目的を達成するために、 N ビットのデジタルデータを対応するパルス幅のパルス信号に変調するパルス幅変調回路において、所定周波数のクロック信号を計数することにより前記デジタルデータの上位 n ビッ

トデータに基づく時間幅のタイミング信号を発生するタイミング信号発生回路と、前記タイミング信号発生回路出力の前側又は後側側のタイミング信号を前記デジタルデータの下位 ($N-n$) ビットデータに基づく時間だけ遅延させる遅延回路と、前記タイミング信号発生回路出力及び前記遅延回路出力の各タイミング信号によりセット／リセットするフリップフロップ回路又はラッチ回路を備えることをその概要とする。

これにより、上位 n ビットに基づく粗い時間幅のタイミング信号を形成し、併せて下位 ($N-n$) ビットに基づく微細な時間幅のタイミング信号を形成し、これらのタイミング信号の組み合わせでフリップフロップ回路又はラッチ回路をセット／リセットする。

また本発明のバルス幅変調回路は上記の目的を

達成するために、 N ビットのデジタルデータを対応するバルス幅のバルス信号に変調するバルス幅変調回路において、所定周波数のクロック信号を計数することにより前記デジタルデータの上位 n ビットデータに基づく時間幅のバルス信号を発生するバルス信号発生回路と、前記バルス信号発生回路出力のバルス信号のトレーリングエッジ又はリーディングエッジをスロープ化するスロープ化回路と、前記デジタルデータの下位 ($N-n$) ビットデータに基づく値をアナログ信号に変換する D/A 変換回路と、前記 D/A 変換回路及び前記スロープ化回路の各出力信号を比較するコンパレータ回路を備えることをその概要とする。

これにより、上位 n ビットに基づく粗い時間幅のバルス信号を形成し、そのリーディング又は

トレーリングエッジをスロープ化する。併せて下位 ($N-n$) ビットに基づくアナログ信号を形成し、これらをコンパレータで比較する。

〔実施例の説明〕

以下、添付図面に従って本発明による実施例を詳細に説明する。

〔第1実施例〕

第1実施例は遅延回路としてデレイライン回路を使用する場合に関する。

第1図は画像形成装置に採用した第1実施例のバルス幅変調回路の回路図であり、第2図は第1図の構成の動作タイミングチャートである。

図において、8ビットの多値画像濃度データ③のうち上位6ビットはカウンタ1に、下位2ビットはデコーダ7に夫々入力する。画像クロック信号④が立ち上がると、上位の6ビットデータは

カウンタ1にロードされ、かつJKフリップフロップ3はセットされてそのQ出力⑤はHIGHレベルになる。その後カウンタ1は計数クロック発生器2より出力される計数クロック信号⑥によりカウントダウンする。ここで、計数クロック信号⑥のクロック周波数は画像クロック信号④の64倍で良く、両者は同期している。そして、カウンタ1のカウント値④が“0”となった時はキャリー信号⑧が出力され、該キャリー信号⑧の発生と共にJKフリップフロップ3はクリアされ、そのQ出力⑤はLOWレベルになる。こうして、JKフリップフロップ3のQ出力⑤のHIGHレベルの時間は多値画像データの上位6ビットの内容が大きいほど長い。

更に、JKフリップフロップ3のQ出力⑤はその立ち上がりと共にJKフリップフロップ6を

セットし、その出力Q④をHIGHレベルにする。またJKフリップフロップ3のQ出力⑤はデレイ発生部4に入力し、その内部で連鎖している3つのバッファ回路ic1～ic3により夫々所定時間づつ遅延され、図示のような位相の異なる3つのパルス信号⑥、⑦、⑧が取り出される。

一方、デコーダ7は多値画像データの下位2ビットをデコードし、値が0～3の入力データに応じたHIGHレベルのデコード信号を夫々端子Y₀～Y₃の何れか1つに出力する。これらのデコード信号はデレイ選択部5に入力し、デコーダ7の出力がHIGHレベルに対応するバッファ回路ic4、ic5、ic6又はic7のみを導通可能にする。即ち、入力データ=0の時はic4、入力データ=1の時はic5、入力

データ=2の時はic6、入力データ=3の時はic7のみが導通する。これにより、JKフリップフロップ6をリセットするためのクロック入力、その立ち下りのタイミングが下位2ビットデータの大きさに応じて変化することとなり、従ってJKフリップフロップ6のQ出力⑨のパルス幅も全体として入力の8ビットの多値画像データに忠実なものになる。これらは第2図のケース1～ケース4の波形として示されている。

更に、JKフリップフロップ6のQ出力⑨は不図示のレーザドライバに入力し、レーザビームを点滅させて不図示の感光ドラムを感光し、更に電子写真法を用いて中間調濃度の印刷を行う。

尚、デレイ発生部4のバッファ回路ic1～ic3としては、例えば遅延時間の大きい汎用ロジックIC74LS07等を用い、これに対し

パルス信号⑨の立ち下り部分をなまらせてスロープ化する。即ち、パルス信号⑨が立ち上がる時はダイオードDをバイパスしてコンデンサCを急速充電するが、パルス信号⑨が立ち下がる時はダイオードDがカットオフする結果、コンデンサCの電荷は抵抗Rを介して徐々に放電する。従ってCR回路9の出力は信号⑨のようになる。

一方、下位2ビットデータはD/A変換器8に入力され、ここで下位2ビットデータの値0～3に応じて電圧レベルが順に低くなるような信号⑩に変換される。10は高速のアナログコンパレータ回路であり、信号⑥と信号⑩を比較することにより、⑥>⑩の間だけパルス信号⑭を出力する。これにより、コンパレータ回路10の出力⑭のパルス幅も全体として入力の8ビットの多値画像

パルス信号⑨の立ち下り部分をなまらせてスロープ化する。即ち、パルス信号⑨が立ち上がる時はダイオードDをバイパスしてコンデンサCを急速充電するが、パルス信号⑨が立ち下がる時はダイオードDがカットオフする結果、コンデンサCの電荷は抵抗Rを介して徐々に放電する。従ってCR回路9の出力は信号⑨のようになる。

尚、第1図のバッファ回路ic1～ic3の代わりにデレイライン素子を使用しても良い。こうすれば素子毎の遅延のばらつきが小さくなり精度が改善される。

〔第2実施例〕

第2実施例は遅延回路としてスロープ化回路を使用する場合に関する。

第3図は画像形成装置に採用した第2実施例のパルス幅変調回路の回路図であり、第4図は第3図の構成の動作タイミングチャートである。尚、第1実施例と同一部分には同一符号を付して説明を省略する。

図において、9はCR（積分）回路であり、

データに忠実なものになる。これらは第4図のケース1〜ケース4の波形として示されている。

尚、上述実施例ではクロック計数で形成したパルス信号④のトレーリングエッジを引き延ばす場合について述べたがこれに限らない。例えばクロック計数により1カウント大きめのパルス信号④'を形成し、該信号④'のリーディングエッジを遅延させることにより、パルス幅を縮めるようにしても良い。これを例えば第3図について言うと、ダイオードDの極性を逆に接続すれば良い。第1図についても同様に考えられる。

〔発明の効果〕

以上述べた如く本発明によれば、計数クロック信号の周波数を下げることができ、使用デバイスのコストを下げられ、かつ放射ノイズも低減でき

る。従つて、特にレーザビームプリンタやLEDプリンタ等の画像形成装置に採用すると効果絶大である。

4. 図面の簡単な説明

第1図は画像形成装置に採用した第1実施例のパルス幅変調回路の回路図、

第2図は第1図の回路の動作タイミングチャート、

第3図は画像形成装置に採用した第2実施例のパルス幅変調回路の回路図、

第4図は第3図の構成の動作タイミングチャート、

第5図は従来の画像形成装置のパルス幅変調回路の回路図、

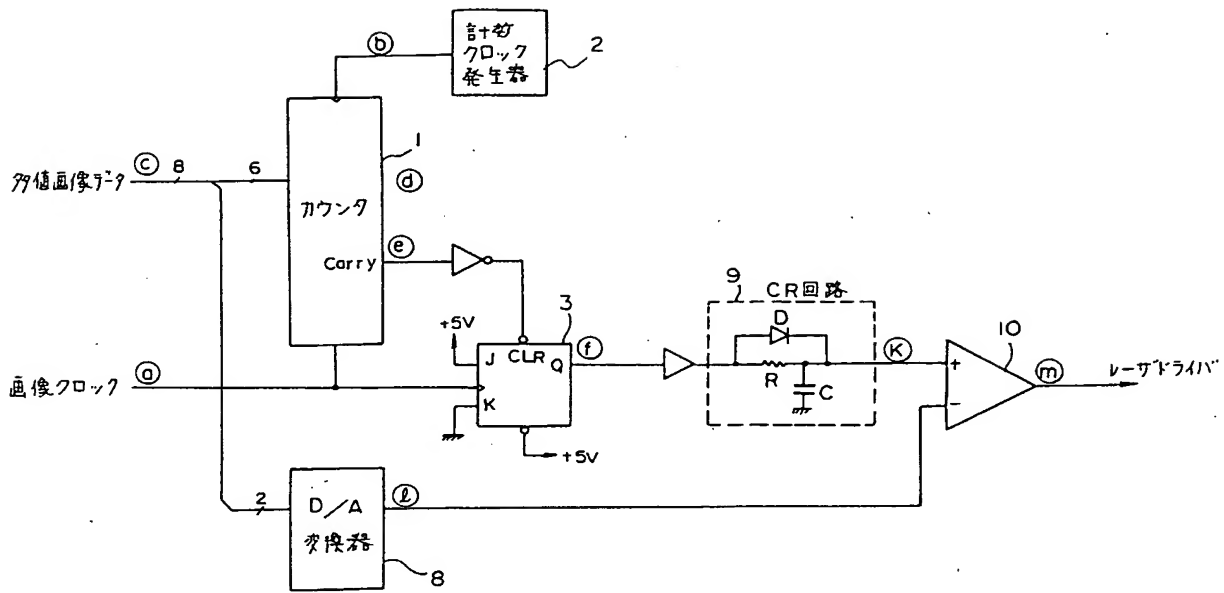
第6図は第5図の回路の動作タイミングチャートである。

図中、1…カウンタ、2…計数クロック発生器、3…JKフリップフロップ、4…ディレイ発生部、5…ディレイ選択部、6…JKフリップフロップ、7…デコーダ、8…D/A変換器、9…C/R回路、10…高速アナログコンバータである。

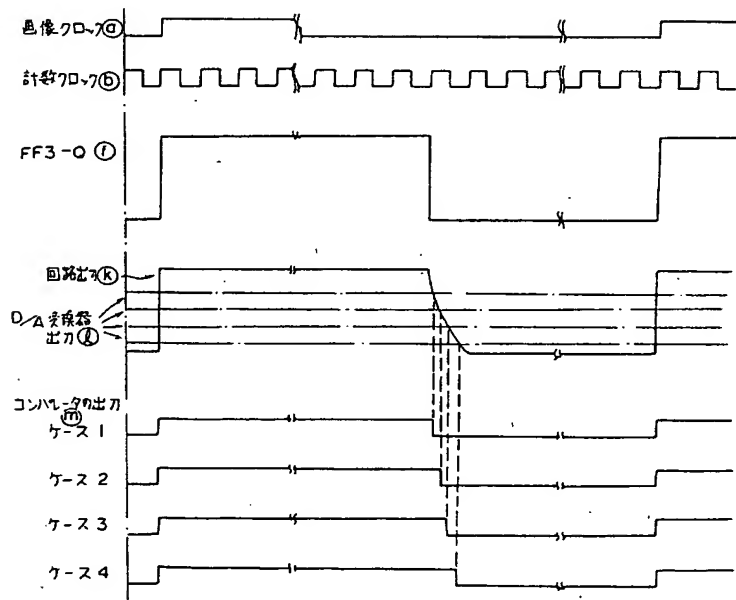
特許出願人 キヤノン株式会社

代理人 弁理士 大塚康徳（他1名）

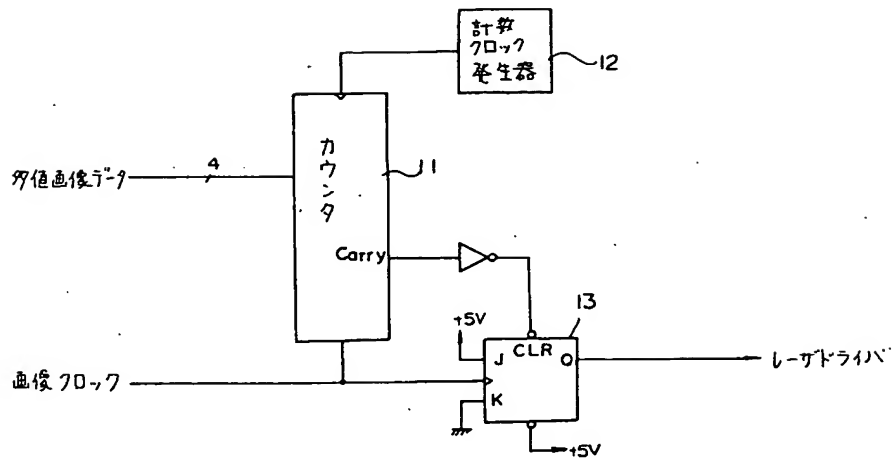




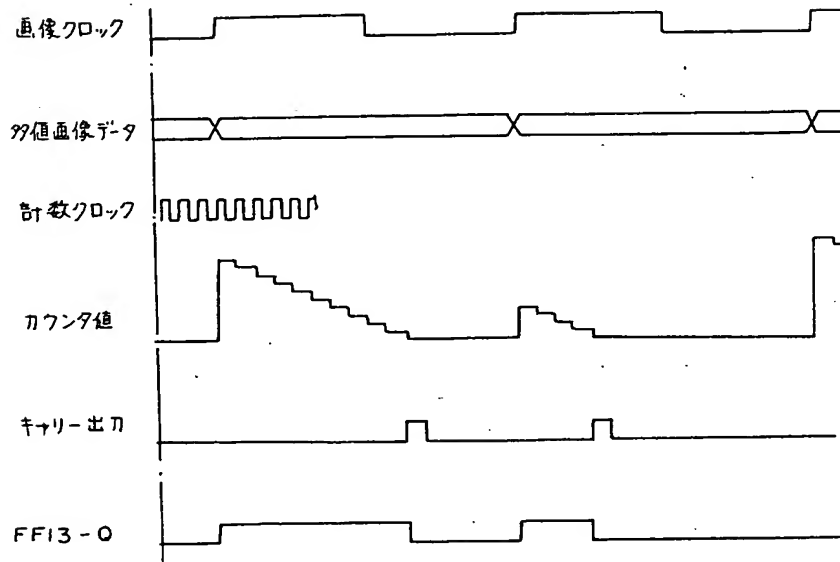
第 3 図



第 4 図



第 5 図



第 6 図

第1頁の続き

⑦発明者	山田	博通	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑦発明者	尾島	磨佐基	東京都大田区下丸子3丁目30番2号	キャノン株式会社内